



# BUNDESREPUBLIK DEUTSCHLAND

10,817,469

BEST AVAILABLE COPY



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 103 15 087.0

**Anmeldetag:** 02. April 2003

**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE

**Bezeichnung:** Verfahren zum Auffrischen von dynamischen  
Speicherzellen in einer Speicherschaltung  
und einer Speicherschaltung

**IPC:** G 11 C 11/406

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 18. März 2004  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Stanschus

## Beschreibung

Verfahren zum Auffrischen von dynamischen Speicherzellen in einer Speicherschaltung und einer Speicherschaltung

5

Die Erfindung betrifft ein Verfahren zum Auffrischen von dynamischen Speicherzellen in einer Speicherschaltung. Weiterhin betrifft die Erfindung eine Speicherschaltung mit einem Speicherzellenfeld und einer Auffrischschaltung zum Auffrischen der Speicherzellen.

10

Eine dynamische Speicherzelle weist üblicherweise eine Speicherkapazität auf, die über einen Speichertransistor schaltbar mit einer Bitleitung verbunden werden kann. Der Speichertransistor wird über eine Wortleitung angesteuert, wobei gemäß einem Aktivierungssignal das Öffnen oder Sperren des Speichertransistors vorgegeben wird. Beim Auslesen der Speicherzelle wird zunächst durch das Aktivierungssignal der Speichertransistor geöffnet und die in der Speicherkapazität gespeicherte Ladung fließt auf die mit der Speicherzelle verbundenen Bitleitung.

15

20

In einer dynamischen Speicherschaltung sind Bitleitungen jeweils paarweise angeordnet, wobei durch ein Aktivierungssignal eine Speicherkapazität nur mit einer der Bitleitungen eines Bitleitungspaares verbunden wird. Durch das Fließen der Ladung der Speicherkapazität auf die Bitleitung wird ein Ladungspotentialunterschied auf den Bitleitungen des Bitleitungspaares bewirkt, der durch einen an dem Bitleitungspaar angeschlossenen Ausleseverstärker verstärkt wird. Dabei wird das Ladungspotential der Bitleitung, die das niedrigere Potential aufweist, auf ein niedriges Ladungspotential und das Potential der Bitleitung, die das höhere Potential aufweist, auf ein hohes Ladungspotential aufgeladen. Dadurch wird einerseits die geringe Speicherladung so verstärkt, dass ein Signal an einem Ausgang des Ausleseverstärkers ausgelesen werden kann und andererseits das gespeicherte Signal in die

25

30

35

ausgelesene Speicherzelle zurückgeschrieben, so dass nach dem Auslesen der Ladungsinformation aus der Speicherzelle die gespeicherte Ladungsinformation nicht verloren geht. Nicht nur beim Zugriff auf die Speicherzelle, sondern auch durch Leckströme verliert die Speicherzelle Ladung und damit die in ihr gespeicherte Information. Aus diesem Grund wird jede Speicherzelle einer integrierten Schaltung regelmäßig mit der in ihr gespeicherten Information erneut beschrieben. Diesen Vorgang nennt man Auffrischen.

Das Auffrischen der Speicherzelle erfolgt im Wesentlichen durch ein Aktivieren der entsprechenden Wortleitung, wobei die Ladungen aus den Speicherkapazitäten die mit der Wortleitung verbundenen Speicherzellen auf jeweils eine der Bitleitungen der die Wortleitung kreuzenden Bitleitungspaare fließt. Die resultierende Ladungsdifferenz auf den Bitleitungen wird durch die jeweiligen Ausleseverstärker verstärkt, wobei das Potential der mit der Speicherzelle verbundenen Bitleitung je nach Ladungsinformation, die in der Speicherzelle gespeichert ist, auf ein hohes oder niedrigeres Ladungspotential aufgeladen wird. Dadurch, dass die Wortleitung für den Zeitraum, in der der Ausleseverstärker die Ladungsdifferenz verstärkt, aktiviert bleibt, kann die Ladung von dem verstärkten Potential der Bitleitung in die Speicherzelle zurückfließen.

Das Auffrischen der Speicherzellen wird in regelmäßigen Abständen wiederholt, so dass Ladungsverluste in den Speicherkapazitäten aufgrund der Leckströme oder ähnlichem nicht zu einem Verlust der Ladungsinformation führen. Die Zeitdauer zwischen den Auffrischvorgängen an einer Wortleitung ist so gewählt, dass bei jedem Auffrischvorgang die Inhalte der Speicherzellen zuverlässig ausgelesen werden können.

Die zyklischen Auffrischvorgänge in einer Speicherschaltung mit dynamischen Speicherzellen bestimmen den Stromverbrauch einer dynamischen Speicherschaltung wesentlich. Der Strom-

verbrauch wird dabei nur teilweise von den in die Speicherzellen hineingeschriebenen Ladungen bestimmt. Ein anderer wesentlicher Faktor des Stromverbrauchs besteht in der Stromaufnahme von peripheren Ansteuerschaltungen und hängt im Wesentlichen von der Frequenz der periodischen Ansteuerung der Wortleitungen ab.

Der Stromverbrauch ist für dynamische Speicherschaltungen ein wesentlicher Faktor. Insbesondere bei mobilen Anwendungen ist es notwendig, den Stromverbrauch soweit wie möglich zu reduzieren. Da insbesondere das Auffrischen von dynamischen Speicherzellen ein erheblicher Faktor beim Stromverbrauch darstellt, ist es daher Aufgabe der vorliegenden Erfindung, ein stromsparendes Verfahren zum Auffrischen von dynamischen Speicherzellen bereit zu stellen. Es ist weiterhin Aufgabe der vorliegenden Erfindung, eine Speicherschaltung mit einer Auffrischschaltung zu schaffen, die einen möglichst geringen Stromverbrauch aufweist.

Diese Aufgabe wird durch das Verfahren nach Anspruch 1 sowie durch die Speicherschaltung nach Anspruch 8 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist ein Verfahren zum Auffrischen einer dynamischen Speicherzelle in einer Speicherschaltung vorgesehen. Die Speicherschaltung weist eine an einer Wortleitung und einer Bitleitung eines Bitleitungspaares angeordnete Speicherzellen auf. Nach dem Auslesen werden die Potentiale der Bitleitungen des Bitleitungspaares auf ein gemeinsames Mittenpotential geladen. Beim Auslesen der Speicherzelle wird die Wortleitung aktiviert und eine dadurch bewirkte Ladungsdifferenz auf den Bitleitungen des Bitleitungspaares in ein hohes Ladungspotential und ein niedriges Ladungspotential getrennt. Beim Auffrischen der Speicherzelle wird die Wortleitung aktiviert. Die Ladungspo-

tentiale der Bitleitungen des Bitleitungspaares werden abhängig von der Ladungsinformation der Speicherzelle in Richtung eines hohen Auffrischpotentials und eines niedrigen Auffrischpotentials getrennt. Nach dem Auffrischen der Speicherzelle wird die Wortleitung deaktiviert und die Potentiale der Bitleitungen des Bitleitungspaares auf ein Auffrisch-Mittenpotential geladen. Die Potentialdifferenz zwischen dem hohen Auffrischpotential und dem Auffrisch-Mittenpotential ist größer als die Potentialdifferenz zwischen dem hohen Ladungspotential und dem gemeinsamen Mittenpotential.

Das erfindungsgemäße Verfahren hat den Vorteil, dass beim Auffrischen die Ladungsinformation für eine längere Zeit in der Speicherzelle gespeichert wird. Indem die Potentialdifferenz zwischen dem hohen Auffrischpotential und dem Auffrisch-Mittenpotential erhöht wird, benötigt das hohe Auffrischpotential bei gleichem Leckstromverhalten eine längere Zeit des Auffrisch-Mittenpotentials zu erreichen, als zu einer Potentialdifferenz zwischen dem hohen Ladungspotential und dem gemeinsamen Mittenpotential. Somit wird die in der Speicherzelle gespeicherte Ladung länger gespeichert, so dass die Speicherzelle seltener aufgefrischt werden muss. D. h. die Auffrischfrequenz, mit der die Speicherzellen aufgefrischt werden, lässt sich somit vermindern.

Da der Stromverbrauch von integrierten Speicherschaltungen im großen Maße von der Auffrischfrequenz abhängt, kann somit der Stromverbrauch in einer Speicherschaltung reduziert werden. Dies ist möglich, da der Stromverbrauch nicht nur durch die in die Speicherzellen gebrachte Ladung bestimmt ist, sondern auch durch periphere Ansteuerschaltungen, die mit der gleichen Frequenz, d. h. der Auffrischfrequenz, betrieben werden. Während die in die Speicherzelle, d. h. in den Speicherkondensator geschriebene Ladung im Wesentlichen linear mit der möglichen minimalen Auffrischfrequenz abhängt und somit keine Verminderung im Stromverbrauch erreicht werden kann, kann insbesondere der Stromverbrauch der peripheren Schaltungen,

z. B. zur Ansteuerung der Speicherzellen deutlich reduziert werden.

- Vorzugsweise ist das hohe Auffrischpotential zum Auffrischen der Ladungsinformationen der Speicherzellen größer als das hohe Ladungspotential zum Auslesen der Information aus einer adressierten Speicherzelle. Dies stellt eine einfache Möglichkeit dar, die Ladungsdifferenz zwischen dem hohen Auffrischpotential und dem Auffrisch-Mittenpotential zu erhöhen, da für den Auffrischvorgang lediglich ein Potential dem Ausleseverstärker zur Verfügung gestellt werden muss, das größer ist als das hohe Ladungspotential, z.B. zum Auslesen oder Beschreiben der Speicherzellen.
15. Eine weitere Möglichkeit, die Potentialdifferenz zu vergrößern besteht darin, das Auffrisch-Mittenpotential gegenüber dem gemeinsamen Mittenpotential beim Auslesen der Speicherzelle zu verringern. Auf diese Weise können das hohe Auffrischpotential und das hohe Ladungspotential gleich gewählt werden und gleichzeitig die Haltezeit der Information in den Speicherzellen erhöht werden.

Das Mittenpotential kann alternativ in der Mitte zwischen dem niedrigem und dem hohen Auffrischpotential liegen, so dass das Trennen in ein hohes und ein niedriges Auffrischpotential im Wesentlichen symmetrisch zum Mittenpotential durchgeführt werden kann.

- Vorzugsweise bleibt die Wortleitung beim Auffrischen für eine geringere Zeitdauer aktiviert als beim Auslesen einer der Speicherzellen an der Wortleitung. Da die Wortleitung üblicherweise bei einem High-Potential aktiviert ist, fließen Leckströme von der Wortleitung, so dass das High-Potential der Wortleitung aufrechterhalten werden muss. Ist die Wortleitung für eine kürzere Zeitdauer aktiviert, so lässt sich die Zeitdauer, in der Leckströme von der Wortleitung abfließen, reduzieren. Auch so kann der Stromverbrauch des Wortlei-

tungsdecoders, der die Wortleitung gemäß dem Aktivierungssignal aktiviert, reduziert werden.

5 Es kann vorgesehen sein, dass das Auffrischen der Speicherzellen in einem Selbstauffrischvorgang durchgeführt wird. Ein Selbstauffrischvorgang wird gestartet, wenn für eine längere Zeit auf die Speicherschaltung nicht zugegriffen wird. Dann sorgt eine in der Speicherschaltung vorgesehene Selbsttestschaltung dafür, dass das Auffrischen durch die Speicher-  
10 schaltung selbst ohne äußere Steuerung vorgenommen wird.

Alternativ kann das Mittenpotential auch in der Mitte zwischen dem niedrigen und dem hohen Ladungspotential, wie beim Auslesen von Speicherzellen verwendet werden, liegen.  
15

Die Auffrischperiode, nach der Speicherzellen an einer Wortleitung periodisch aufgefrischt werden, wird vorzugsweise erst nach dem ersten Auffrischen nach einem Schreib- und/oder Lesezugriff auf die betreffenden Speicherzellen erhöht, da  
20 erst dann den Speicherzellen die erhöhte Potentialdifferenz zwischen dem hohen Auffrischpotential und dem Auffrisch-Mittenpotential zur Verfügung steht. Dies gilt insbesondere, wenn das hohe Auffrischpotential gegenüber dem hohen Ladungspotential erhöht ist.

25 Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Speicherschaltung mit einem Speicherzellenfeld mit einer an einer Wortleitung und einem Bitleitungspaar angeordneten Speicherzelle vorgesehen. Die Speicherschaltung weist eine  
30 Auffrischschaltung zum Auffrischen der Speicherzelle auf. Die Auffrischschaltung aktiviert zum Auffrischen der Speicherzelle die Wortleitung, um die Ladungsinformationen der Speicherzelle an eine der Bitleitungen des Bitleitungspaares anzulegen. Das Bitleitungspaar ist mit einem Ausleseverstärker verbunden, um die Ladungsdifferenz zwischen den Bitleitungen des  
35 Bitleitungspaares in ein hohes Ladungspotential und ein niedriges Ladungspotential zu trennen. Die Auffrischschaltung ist

ferner so gestaltet, um beim Auffrischen ein hohes Auffrischpotential und ein niedriges Auffrischpotential an den Ausleseverstärker anzulegen, so dass beim Auffrischen das Potential einer der Bitleitungen des Bitleitungspaares in Richtung  
5 des hohen Auffrischpotentials und das Potential der anderen Bitleitung des Bitleitungspaares in Richtung des niedrigen Auffrischpotentials aufgeladen wird. Dabei ist das hohe Auffrischpotential erfindungsgemäß größer als das hohe Ladungspotential.

10 Auf diese Weise wird zum Auffrischen die Bitleitung, die nach dem Aktivieren der Wortleitung ein höheres Potential aufgrund des Ladungsflusses von der Speicherzelle erhält, auf ein höheres Spannungspotential gezogen, als das hohe Ladungspotential,  
15 das üblicherweise beim Auslesen der betreffenden Speicherzelle erreicht wird. Da die Wortleitung solange aktiviert bleibt, bis die Bitleitung mit dem hohen Auffrischpotential das hohe Auffrischpotential im Wesentlichen fast oder vollständig erreicht hat, wird dieses Potential in die Speicherzelle, d. h. den Speicherkondensator, zurückgeschrieben. Eine  
20 höhere Ladung in der Speicherzelle hat zur Folge, dass die Potentialdifferenz zwischen der Speicherzellenladung und demnach dem Deaktivieren der Wortleitung auf die Bitleitungen geladene Mittenpotential größer ist als beim Auslesen  
25 und/oder Beschreiben der Speicherzelle und die Speicherzelle die Ladungsinformation somit länger hält als eine Speicherzelle, die nur auf das hohe Ladungspotential aufgeladen ist. Auf diese Weise ist die in der Speicherzelle gespeicherte Ladungsinformation zuverlässiger gespeichert werden kann.

30 Es kann vorgesehen sein, dass die Auffrischschaltung ein erstes Auffrischen der Speicherzelle nach einer ersten Zeitdauer nach einem Schreib-/ Lesezugriff auf die Speicherzelle durchführt und ein weiteres Auffrischen der Speicherzelle nach  
35 einer zweiten Zeitdauer durchführt, wobei die erste Zeitdauer kleiner ist als die zweite Zeitdauer. Die erste Zeitdauer ist durch die maximale Zeit bestimmt, in der die Ladungsinforma-

tion der Speicherzellen zuverlässig ausgelesen werden kann. Da die Speicherzelle, d. h. der Speicherkondensator nach dem Schreib-/ Lesezugriff maximal mit einem hohen Ladungspotential aufgeladen sein kann, muss das erste Auffrischen der Speicherzelle nach einer ersten Zeitdauer erfolgen, nach der die Ladungsinformation der Speicherzelle nicht verloren ist. Da das erste Auffrischen mit einem hohen Auffrischpotential erfolgt, ist - im Falle, dass die Speicherzelle entsprechend der zu speichernden Information mit einem hohen Potential aufgeladen werden soll - das erste Auffrischen nach einer kürzeren Zeitdauer durchzuführen als die darauffolgenden weiteren Auffrischvorgänge.

Es kann vorgesehen sein, dass die Auffrischhaltung beim Auffrischen der Speicherzelle die Wortleitung nur solange aktiviert lässt, bis die jeweilige Bitleitung der Bitleitungspare, die das höhere Potential aufweist, ein um einen definierten Potentialbetrag höheres Ladungspotential aufweist, wie nach einem Schreib-/ Lesezugriff, bei dem ein hohes Ladungspotential in die Speicherzelle geschrieben wird. Auf diese Weise kann gewährleistet werden, dass die Ladungsinformation der Speicherzelle während des Auffrischvorgang länger gehalten wird. Zudem kann durch die kürzere Zeitdauer, in der die Wortleitung aktiviert ist, die Leckströme von der Wortleitung im aktivierten Zustand verringert werden, da sich die Wortleitung nur für eine kürzere Zeitdauer auf einem High-Potential befindet.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine weitere Speicherschaltung vorgesehen. Die Speicherschaltung weist eine Ladungsausgleichvorrichtung auf, um nach einem Auslesen und/oder Beschreiben der Speicherzelle die Bitleitungen des Bitleitungspaares auf ein gemeinsames Mittenpotential aufzuladen. Die Auffrischschaltung ist so mit der Ladungsausgleichvorrichtung verbunden, um nach einem Auffrischen der Speicherzelle die Bitleitungen des Bitleitungspaares auf ein Auffrisch-Mittenpotential aufzuladen. Das Auf-

frisch-Mittenpotential ist dabei kleiner gewählt als das gemeinsame Mittenpotential. Auch dadurch lässt sich erreichen, dass die Potentialdifferenz zwischen dem hohen Auffrischpotential und dem Potential gegenüber der Ladungsinformation der Speicherzelle beim Auffrischen detektiert wird, vergrößert wird, so dass die Ladung länger gehalten wird. Dazu ist nicht notwendig, das hohe Auffrischpotential größer zu wählen als das hohe Ladungspotential, so dass der Schaltungsaufbau bei der Ansteuerung des Ausleseverstärkers nicht erhöht werden muss.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figur 1 einen Ausschnitt aus einer erfindungsgemäßen Speicherschaltung;

Figur 2 ein Timing-Diagramm für ein Verfahren zum Auffrischen einer dynamischen Speicherzelle nach dem Stand der Technik;

Figur 3 ein Timing-Diagramm für ein erfindungsgemäßes Verfahren zum Auffrischen einer Speicherzelle;

Figur 4 ein Diagramm zur Veranschaulichung einer Entladung der Speicherzelle aufgrund von Leckströmen; und

Figur 5 einen Ausschnitt einer weiteren erfindungsgemäßen Speicherschaltung.

In Figur 1 ist ein Ausschnitt aus einer erfindungsgemäßen Speicherschaltung dargestellt. Die Speicherschaltung weist ein Speicherzellenfeld 1 auf, in dem Speicherzellen 2 an Wortleitungen WL und Bitleitungspaaren BLP angeordnet sind. Die Speicherzellen 2 sind so angeordnet, dass nur an Kreuzungsstellen zwischen Wortleitungen WL und einer der Bitlei-

tungen BL eines Bitleitungspaares BLP jeweils eine Speicherzelle 2 angeordnet ist.

Die Speicherzellen 2 weisen jeweils einen Speichertransistor T und eine Speicherkapazität C auf. Die Information der Speicherzelle 2 wird als Ladungsinformation in der Speicherkapazität C in Bezug auf ein an der Speicherkapazität angelegtes Mittenpotential gespeichert. Die Speicherkapazität C kann über den Speichertransistor T mit einer der Bitleitungen BL des Bitleitungspaares BLP verbunden werden. Der Speichertransistor T ist mit seinem Steuereingang mit der entsprechenden Wortleitung verbunden.

Beim Aktivieren der Wortleitung WL, d. h. bei einem Übergang von einem Low-Potential zu einem High-Potential auf der Wortleitung WL wird der Speichertransistor T auf Durchlass geschaltet, so dass die Speicherkapazität C mit der Bitleitung BL verbunden wird. Die in der Speicherkapazität C gespeicherte Ladung fließt auf die betreffende Bitleitung BL und bewirkt einen Ladungsunterschied zwischen den beiden Bitleitungen BL des Bitleitungspaares BLP. Das Aktivieren der Wortleitungen WL wird von einem Wortleitungsdecoder 3 durchgeführt, der eine Wortleitungsadresse dekodiert und gemäß der Wortleitungsadresse eine der Wortleitungen WL aktiviert, um so die Speicherzelle an dem Bitleitungspaar BLP zu adressieren. Ein Aktivieren der Wortleitung WL erfolgt bei jedem Auslesen und Beschreiben der Speicherzelle 2.

Jedes Bitleitungspaar BLP ist mit einem Ausleseverstärker 4 verbunden, der die nach dem Aktivieren der auszulesenden Speicherzelle 2, die auf den Bitleitungen BL bestehende Ladungsdifferenz verstärkt. Der Ausleseverstärker 4 ist so gestaltet, um die Bitleitung BL, auf der sich das höhere Potential der beiden Bitleitungspotentiale befindet, in Richtung eines hohen Ladungspotentials und das Potential der Bitleitung BL auf der sich das niedrigere der beiden Bitleitungspotentiale befindet, auf ein niedrigeres Ladungspotential zu

ziehen. Dadurch wird die Ladungsdifferenz auf den beiden Bitleitungen BL des Bitleitungspaares BLP vergrößert.

Die Wortleitung WL bleibt solange aktiviert, bis der Verstärkungsvorgang im Wesentlichen abgeschlossen ist, so dass die Ladung der Speicherkapazität C, die zunächst aufgrund des Abfließens auf die entsprechende Bitleitung verloren ist, wieder im Verlauf der Verstärkung durch den Ausleseverstärker 4 auf das entsprechende Ladungspotential aufgeladen wird. Erst dann wird die Wortleitung WL deaktiviert, so dass die Ladungsinformation, die nun in die Speicherzelle 2 zurückgeschrieben worden ist, erhalten bleibt. Gleichzeitig gibt der Ausleseverstärker 4 die Potentialdifferenz auf zwei Datenleitungen 5 aus, so dass das Datum, das der Ladungsinformation der ausgelesenen Speicherzelle entspricht, nach extern über einen Datenbus ausgegeben werden kann.

Nachdem die adressierte Wortleitung WL deaktiviert und die ausgelesene Information über die Datenleitungen 5 ausgelesen worden ist, müssen die Bitleitungen BL des Bitleitungspaares BLP auf ein gemeinsames Mittenpotential zurückgeführt werden, um in Folge ein Auswerten derselben oder einer nächsten Speicherzelle 2 an dem Bitleitungspaar BLP zu ermöglichen. Das Mittenpotential muss dabei auf einem Potentialbereich liegen, bei dem der Ausleseverstärker 4 in optimaler Weise eine geringe Ladungsdifferenz auf den beiden Bitleitungen BL detektieren kann und diese in positiver und negativer Richtung verstärken kann. Die Ladungsdifferenz im Bereich des Mittenpotentials sollte daher sowohl in Richtung eines niedrigeren Spannungspotentials als auch in Richtung eines höheren Spannungspotentials in ausreichender Höhe verstärkt werden können.

Das hohe und niedrige Ladungspotential für den Ausleseverstärker 4 wird von einer Steuerschaltung 6 bereit gestellt, die dazu mit dem Ausleseverstärker 4 über eine erste Potentialleitung 7 für das niedrige Ladungspotential und eine zweite

Potentialleitung 8 für das hohe Ladungspotential verbunden ist. Über die erste Potentialleitung 7 wird als das niedrige Ladungspotential vorzugsweise ein Massepotential geliefert.

5 Nachdem nach einem Auslesevorgang oder einem Schreibvorgang die Ladungsinformation in die Speicherkapazität C geschrieben worden ist, verliert die Speicherkapazität Ladung durch Leckströme. Die Leckströme bewirken, dass sich die Ladung der Speicherkapazität C dem Mittenpotential nähert, so dass bei  
10 einem Durchschalten des Speichertransistors weniger Ladung auf die betreffende Bitleitung fließen kann. Unterhalb eines bestimmten Schwellenwerts der Potentialdifferenz zwischen den Bitleitungen des Bitleitungspaares ist es dann für den Ausleseverstärker 4 nicht möglich, die zu geringe Ladungsdifferenz  
15 auf den Bitleitungen BL zu detektieren und zuverlässig zu verstärken. Insbesondere wenn eine positive Ladung in der Speicherkapazität C gespeichert ist, die die angeschlossene Bitleitung BL auf ein höheres Potential zieht, sind die Leckströme besonders groß im Gegensatz zu einer Speicherkapazität C, die eine (gegenüber dem Mittenpotential) negative Ladung  
20 gespeichert hat, die die Bitleitung in Richtung eines niedrigeren Ladungspotentials zieht.

25 Bevor die Ladung der Speicherkapazität C daher unter einem bestimmten Schwellenwert sinkt, ist es daher notwendig, die Ladungsinformation in der Speicherzelle 2 aufzufrischen. Beim Auffrischen erfolgt ebenso wie bei einem Auslese- oder Schreibvorgang eine Aktivierung der mit der Speicherzelle 2 verbundenen Wortleitung WL. Dies bewirkt, dass die verbliebene  
30 Ladung in der Speicherkapazität C auf die angeschlossene Bitleitung BL fließt und das der Ausleseverstärker 4 die Ladungspotentiale der Bitleitungen BL des Bitleitungspaares BLP auseinanderzieht. D. h. üblicherweise wird eines der Potentiale auf ein niedriges Ladungspotential und das Potential der  
35 jeweils anderen Bitleitung auf ein hohes Ladungspotential gezogen. Das niedrige und das hohe Ladungspotential werden

durch die Steuerschaltung 6 dem Ausleseverstärker 4 vorgegeben.

5 Das Auffrischen der Speicherzellen 2 erfolgt in periodischen Zeitabständen, in denen eine Wortleitung WL nach der anderen aktiviert wird, um die daran befindlichen Speicherzellen 2 aufzufrischen. Der Wortleitungsdecoder 3 und auch andere periphere Schaltungen (nicht gezeigt) werden während des Auffrischens mit der entsprechenden sich aus der Auffrischperiode ergebenden Auffrischfrequenz angesteuert. Dies bewirkt in dem Wortleitungsdecoder 3 und den sonstigen peripheren Schaltungen einen Stromverbrauch, der wesentlich von der Auffrischfrequenz abhängt.

15 Ziel dieser Erfindung ist es, die Auffrischfrequenz zu vermindern, so dass der Stromverbrauch der Speicherschaltung reduziert werden kann. Dies wird dadurch erreicht, indem beim Auffrischen der Speicherzellen 2 der Ausleseverstärker 4 mit einem niedrigen Auffrischpotential und einem hohen Auffrischpotential über die erste und zweite Potentialleitung 7, 8 versorgt wird. Insbesondere das hohe Auffrischpotential ist größer als das hohe Ladungspotential, da insbesondere eine positive Ladung in den Speicherkapazitäten höheren Leckströmen unterliegt als eine negativ gespeicherte Ladung in den Speicherkapazitäten C. Das niedrige Auffrischpotential entspricht vorzugsweise im Wesentlichen dem niedrigen Ladungspotential, so dass keine Potentialquelle zur Bereitstellung eines gesonderten niedrigen Auffrischpotentials bereitgestellt werden muss.

30 Aus diesem Grunde weist die Speicherschaltung 6 eine erste Potentialquelle 9 und eine zweite Potentialquelle 10 auf. Die erste Potentialquelle 9 liefert das hohe Ladungspotential, mit dem der Ausleseverstärker 4 versorgt wird, wenn eine Ladungsinformation aus einer Speicherzelle 2 ausgelesen werden soll. Soll keine Ladungsinformation ausgelesen werden, sondern lediglich die Inhalte der an dem Bitleitungspaar befind-

35

lichen Speicherzellen aufgefrischt werden, so wird an die zweite Potentialleitung 8 die zweite Potentialquelle 10 angelegt, um das hohe Auffrischpotential dem Ausleseverstärker 4 zur Verfügung zu stellen.

5

Zwischen der zweiten Potentialleitung 8 und dem ersten und zweiten Potentialquellen 9, 10 ist ein Umschalter 11 angeordnet, der gemäß einem Steuersignal von einer Auffrischschaltung 13 zwischen einem Lese-/Schreibmodus und einem Auffrischmodus umschaltet.

10

Beim Lese-/Schreibmodus ist das hohe Ladungspotential, das an dem Ausleseverstärker 4 anliegt, dadurch nach oben begrenzt, dass eine schnelle Zugriffszeit auf die Speicherzellen möglich sein soll. Je größer die Ladungsdifferenz ist, in die der Ausleseverstärker die Potentiale der Bitleitungen BL verstärkt, desto länger ist die Zeit, die notwendig ist, die Ladungspotentiale der Bitleitung wieder auf ein gemeinsames Mittenpotential auszugleichen. Dies beschränkt die Schnelligkeit, mit der auf eine Speicherzelle zugegriffen werden kann, nachdem ein vorheriger Zugriff auf eine Speicherzelle an der selben Bitleitung erfolgt ist. Aus diesem Grunde wird bei heutzutage üblichen Speicherschaltungen das hohe Ladungspotential auf ca. 1,8 Volt begrenzt.

15

20

25

Da beim Auffrischvorgang die Zugriffszeit im Wesentlichen keine Rolle spielt, ist es im Auffrischmodus wünschenswert, die in der Speicherkapazität C gespeicherten Ladungen gegenüber der normalerweise im Lese-/Schreibmodus gespeicherten Ladung zu erhöhen und dabei in Kauf zu nehmen, dass das Ausgleichen der Ladungspotentiale auf den Bitleitungen BL dadurch verlängert wird. Dies ist nicht kritisch, da die Zeitperiode zwischen dem periodischen Auffrischen verlängert werden kann, so dass auch die Zeitdauer zwischen dem Aktivieren der einzelnen Wortleitungen verlängert wird.

30

35

Die Auffrischschaltung 13 wird gemäß einem von außen vorgegebenen Auffrischbefehl aktiviert und ist mit dem Wortleitungsdecoder 3 verbunden, um Auffrischadressen vorzugeben, entsprechend der Wortleitung WL, an denen Speicherzellen 2 zum Auffrischen aktiviert werden sollen.

Die Steuereinheit 6 steuert weiterhin einen Ausgleichstransistor 12, der zwischen die Bitleitungen jedes Bitleitungspaares BLP geschaltet ist und gemäß einem Ausgleichssignal die Bitleitungen miteinander verbindet, so dass sich die Ladungen auf den Bitleitungen ausgleichen. Dadurch wird in der Regel eine Mittenspannung  $V_{BLEQ}$  angenommen, die sich in der Mitte zwischen der Bitleitung mit dem höheren Ladungspotential und der Bitleitung mit dem niedrigeren Ladungspotential befindet.

In Figur 2 ist ein Timing-Diagramm dargestellt, das die zeitlichen Signalverläufe zwischen dem Wortleitungsaktivierungssignal und den Potentialen auf den Bitleitungen des Bitleitungspaares angibt. Man erkennt, dass nach dem Aktivieren der Wortleitung WL, d. h. die Wortleitung WL wird von einem Low-Potential auf ein High-Potential gesetzt, der Speichertransistor T, der mit dem entsprechenden Bitleitungspaar BLP verbunden ist, durchgeschaltet ist, so dass das Potential der Bitleitung BL, mit der die Speicherzelle 2 verbunden ist, bei entsprechend hoher Ladung der Speicherkapazität gegenüber dem Mittenpotential  $V_{BLEQ}$  ansteigt, während das Potential der dazu komplementären Bitleitung /BL unverändert auf dem Mittenpotential bleibt. Zu einem Zeitpunkt  $T_A$  beginnt der Ausleseverstärker 4 die detektierte Ladungsdifferenz zu verstärken und zieht die Bitleitung mit dem niedrigeren Ladungspotential, d. h. die Bitleitung, an der die Speicherzelle nicht angeordnet ist in Richtung eines niedrigen Ladungspotentials, z. B. das Massepotential, und die Bitleitung, an der das höhere Ladungspotential anliegt, in Richtung des hohen Ladungspotentials  $V_{BLH}$ .

Die Wortleitung bleibt solange aktiviert, bis die Ladungspotentiale auf beiden Bitleitungen im Wesentlichen den gewünschten durch die Bitleitung der Ausleseverstärker 4 vorgegebenen Wert erreicht haben, so dass das Potential in Form  
5 einer Ladung in die Speicherkapazität C zurückgeschrieben wird. Sobald die Wortleitung deaktiviert wird, wird die in der Speicherkapazität gespeicherte Ladungsinformation beibehalten, unabhängig davon, dass die Potentiale der Bitleitungen nach dem Deaktivieren wieder ausgeglichen werden.

10 Das Ausgleichen erfolgt mit Hilfe des Ausgleichstransistors 12, der von der Steuerschaltung 6 angesteuert wird. Die Zeitdauer bis zum Deaktivieren der Wortleitungen wird  $t_{RAS}$ , die Zeitdauer zwischen dem Deaktivieren der Wortleitung dem Erreichen des Mittenpotentials von beiden Wortleitungen wird  
15  $t_{RP}$  genannt.

In Figur 3 sind das Wortleitungsaktivierungssignal und die Ladungspotentiale der Bitleitungen BL des Bitleitungspaares  
20 BLP beim Auffrischvorgang gemäß dem erfindungsgemäßen Verfahren dargestellt. In Figur 3 sind die Signalverläufe von Wortleitungsaktivierungssignal und Ladungspotentialen auf den Bitleitungen für einen üblichen Speicherbaustein gestrichelt dargestellt. Die gestrichelte Darstellung entspricht im Wesentlichen dem Signalverlauf nach Figur 2.  
25

Durch die Erhöhung des hohen Ladungspotentials auf das hohe Auffrischpotential um einen Differenzspannungswert  $\Delta V$  ändert sich zunächst das Mittenpotential  $V_{BLEQ}$ , das beim Durchschalten des Ausgleichstransistors 12 auf den Bitleitungen BL angenommen wird. Von dort ausgehend wird die Ladungsinformation der Speicherkapazität C auf die Bitleitung angelegt und anschließend, d. h. zum Zeitpunkt  $T_A$  der Ausleseverstärker 4  
30 aktiviert, so dass das Potential der Bitleitung mit dem höheren Ladungspotential auf das hohe Auslesepotential und das Potential der Bitleitung mit dem niedrigeren Ladungspotential  
35

auf das niedrige Auslesepotential, das im gezeigten Beispiel dem niedrigen Ladungspotential entspricht gezogen.

Das Deaktivieren der Wortleitung WL bewirkt im Wesentlichen das Beenden des Zurückschreibens der Ladungsinformation in die Speicherkapazität C. Dieses kann erfolgen, sobald auf der Bitleitung das hohe bzw. das niedrige Auffrischpotential erreicht worden ist. Es kann jedoch auch schon erfolgen, bevor das hohe Auffrischpotential erreicht ist und nachdem das momentane Potential auf der Bitleitung das hohe Ladungspotential übersteigt. Durch das hohe Auffrischpotential ist die Steigung der Spannungsverläufe auf den Bitleitungen im Wesentlichen höher, so dass in kürzerer Zeit das hohe Ladungspotential erreicht bzw. überschritten wird. Dies ermöglicht es ferner, die Aktivierungszeit des Wortleitungsaktivierungssignals zu verkürzen und somit die Zeitdauer, in der Leckströme von der Wortleitung während der Dauer der Aktivierung abfließen, zu reduzieren. Auch dadurch kann ein Beitrag zur Verringerung des Stromverbrauchs der Speicherschaltung geleistet werden.

In Figur 4 ist dargestellt, wie die Haltezeit  $t_{\text{Ref}}$ , das ist die Zeitdauer, während der die Ladungsinformation der Speicherzelle - bei einer gegenüber der Mittenspannung größeren Speicherladung - fehlerfrei und zuverlässig auslesbar bzw. fehlerfrei und zuverlässig auffrischbar ist, von dem hohen Ladungspotential bzw. von dem hohen Auffrischpotential abhängt. Man erkennt, dass durch die Erhöhung des hohen Auffrischpotentials gegenüber dem hohen Ladungspotential  $V_{\text{BLH}}$  eine nicht unwesentliche Erhöhung der Haltezeit um  $\Delta t$  erreicht wird, während der die Ladungsinformation der Speicherzelle erhalten bleibt. Die Ursache für die Erhöhung der Zeitdauer  $t_{\text{Ref}}$  besteht darin, dass sich das durch die minimale Potentialdifferenz zwischen den nach dem Aufschalten der Speicherzelle auf eine der Bitleitungen ergebende Bitleitungspotential erst nach einer längeren Zeitdauer unterschritten wird. Eine Erhöhung des Ladungspotentials der Speicherzelle führt

damit zu einer Verlängerung der Haltezeit  $t_{\text{Ref}}$  um eine Differenzzeit  $\Delta t$ .

Wesentlich bei der Erfindung ist es, den Abstand zwischen der  
5 Mittenspannung  $V_{\text{BLEQ}}$  und dem hohen Auffrischpotential zu erhöhen, so dass der Spannungsbereich, um den das Ladungspotential der Speicherkapazität abklingen darf, erhöht wird. Dies ist möglich, indem beim Auffrischen das hohe Ladungspotential auf ein hohes Auffrischpotential erhöht wird, wobei die Mit-  
10 tenspannung  $V_{\text{BLEQ}}$  ebenfalls erhöht ist, wenn sich die Mittenspannung  $V_{\text{BLEQ}}$  wie in dem in Figur 1 dargestellten Schaltbild im Wesentlichen aus dem Ausgleichen des hohen Ladungspotentials und des niedrigen Ladungspotentials ergibt. Dadurch wird die Spannungsdifferenz, um die das Ladungspotential der Spei-  
15 cherzelle mehr abklingen darf um etwa die halbe Differenz zwischen dem hohen Auffrischpotential und dem hohen Ladungspotential erhöht.

In Figur 5 ist eine weitere Ausführungsform der Erfindung  
20 dargestellt. Bei dieser Ausführungsform ist wesentlich, dass das Mittenpotential nicht durch einen Ausgleichstransistor 12 durch Ausgleichen der Ladungspotentiale der Bitleitungen nach einem Deaktivieren der entsprechenden Wortleitung erreicht wird, sondern dass das Mittenpotential durch eine feste Po-  
25 tentialquelle vorgegeben wird. Dies erfolgt im Wesentlichen durch zwei weitere Ausgleichstransistoren 14, deren Steueranschlüsse mit der Steuereinheit 6 verbunden sind, und so . Die zwei weiteren Ausgleichstransistoren 14 werden so gleichzeitig gemäß einem entsprechenden Steuersignal durchgeschaltet  
30 oder gesperrt.

Die weiteren Ausgleichstransistoren 14 sind in Reihe geschaltet, wobei zwischen den Transistoren 14 ein Mittenpotential von einer dritten Potentialquelle 15 angelegt ist. Die dritte  
35 Potentialquelle 15 stellt ein Mittenpotential zur Verfügung, auf das die Bitleitungen jedes Bitleitungspaares in dem Lese-/Schreibmodus nach einem Deaktivieren der Wortleitung aufge-

laden werden. Es ist eine vierte Potentialquelle 16 vorgesehen, die über einen weiteren Umschalter 17 auf gleiche Weise wie die dritte Potentialquelle 15 an die weiteren Ausgleichstransistoren 14 angelegt werden kann. Die vierte Potential-  
5 quelle 16 stellt ein Ausgleichs-Mittenpotential zur Verfügung, das kleiner ist als das Mittenpotential, das von der dritten Potentialquelle 15 zur Verfügung gestellt wird. Gesteuert durch die Auffrischschtaltung 13 wird der weitere Umschalter 17 zugeschaltet, das beim Auffrischen die Bitleitung  
10 auf das erniedrigte Auffrisch-Mittenpotential aufgeladen werden, sobald die jeweilige Wortleitung WL deaktiviert worden ist.

Auch ist es gemäß einer weiteren Ausführungsform möglich, das  
15 hohe Auffrischpotential gegenüber dem hohen Ladungspotential zu erhöhen, jedoch das Mittenpotential sowohl beim Lesen-/Schreibvorgang als auch beim Auffrischvorgang auf dem gleichen Potentialniveau zu halten. Dies ermöglicht ebenfalls eine Vergrößerung des Spannungsbereichs, über dem beim Auffrischvorgang das Ladungspotential der Speicherkapazität C  
20 abklingen darf.

Im Wesentlichen geht es darum, den Potentialbereich, in dem die Speicherzelle beim Auffrischen noch korrekt ausgelesen  
25 werden kann, zu vergrößern.

Der Stromverbrauch zum Umladen der Bitleitungen wird durch ein erhöhtes hohes Auffrischpotential erhöht, wobei jedoch durch die verlängerte Auffrischperiode und somit weniger Auffrischzugriffe pro Zeiteinheit dieser erhöhte Stromverbrauch  
30 wieder kompensiert wird. Der Vorteil des Verfahrens zum Auffrischen der Speicherzelle liegt deshalb vor allem in der Strom einsparung in peripheren, die das Speicherzellenfeld 1 ansteuernden Schaltungen. Eine typische Stromverteilung bei  
35 einem herkömmlichen Speicherbaustein mit und ohne das erfindungsgemäße Auffrischverfahren ist in folgender Tabelle angegeben :

	Anteil des Strom- verbrauchs bei herkömm- lichen Speicherschalt- ungen	Anteil des Strom- verbrauchs bei einer erfindungsgemäßen Spei- cherschaltung
$I_{BLH}$ (Strom zum Aufladen der Bitleitung auf ho- hes Potential):	51,2%	51,2%
$I_{INT}$ (Stromaufnahme der peripheren Schaltun- gen):	35,8%	32,2% (-10%)
$I_{PP}$ (Strom zum Aufladen der Wortleitungen):	3,1%	2,8% (-10%)
$I_{GEN}$ (Stromaufnahme von Spannungsgeneratoren):	9,9%	9,9%
SUMME:	100,0%	96,1%

- Die angegebenen Werte betreffen eine Speicherschaltung, bei der das hohe Ladungspotentials um 0,1 Volt erhöht würde. Dies führt im gezeigten Beispiel zu einer Verlängerung der Auffrischperiode um 10% und hat dadurch eine Reduzierung der Gesamtstromeinsparung von ca. 4% zur Folge.

- Beim Wechsel zwischen Lese-/Schreibvorgang und Auffrischvorgang darf die Auffrischperiode erst dann entsprechend der erhöhten Auffrischspannung verlängert werden, wenn alle Speicherzellen, die aufgefrischt werden sollen, zumindest einmal mit dem hohen Auffrischpotential beschrieben worden sind.
- Insbesondere ist es vorteilhaft, dass erfindungsgemäße Verfahren während eines Selbstauffrischmodus durchzuführen. Beim Selbstauffrischmodus wird die Steuerung des Auffrischvorgangs von der Speicherschaltung, insbesondere von der Auffrischschaltung 13, vorgenommen und nicht von extern vorgegeben.
- Zur Steuerung des Selbstauffrischmodus wird ein Startsignal und ein Stoppsignal von einer Steuerschaltung an den Speicherbaustein gesendet, wobei zwischen Start- und Stoppsignal

keine sonstigen Anweisungen an den Speicherbaustein gesendet werden.

- 5 Wird im Selbstauffrischmodus ein Auffrischen während des zeitkritischen Beendens des Auffrischmodus ausgeführt, so muss ein herkömmlicher Auffrischvorgang mit den üblichen Timings ausgeführt werden, um daraus folgende Timing-Konflikte zu vermeiden.

## Patentansprüche

1. Verfahren zum Auffrischen einer dynamischen Speicherzelle in einer Speicherschaltung,  
5 wobei die Speicherzelle (2) an einer Wortleitung (WL) und einer Bitleitung (BL) eines Bitleitungspaares (BLP) angeordnet ist,  
wobei beim Auslesen der Speicherzelle (2) die Wortleitung (WL), aktiviert wird und eine dadurch bewirkte Ladungsdifferenz auf den Bitleitungen (BL) des Bitleitungspaares (BLP), in ein hohes Ladungspotential und ein  
10 niedriges Ladungspotential trennt,  
wobei nach dem Auslesen die Potentiale der Bitleitungen (BL) des Bitleitungspaares (BLP) auf ein gemeinsames Mittenpotential geladen werden,  
15 wobei beim Auffrischen der Speicherzelle (2) die Wortleitung (WL) aktiviert wird, und  
die Ladungspotentiale der Bitleitungen (BL) des Bitleitungspaares (BLP) abhängig von der Ladungsinformation  
20 der Speicherzelle (2) in Richtung eines hohen Auffrischpotentials und eines niedrigen Auffrischpotentials getrennt werden, und wobei nach dem Auffrischen der Speicherzelle (2) die Wortleitung (WL) deaktiviert wird und  
die Potentiale der Bitleitungen (BL) des Bitleitungspaares (BLP) auf ein Auffrischmittenpotential geladen  
25 werden,  
dadurch gekennzeichnet, dass  
die Potentialdifferenz zwischen dem hohen Auffrischpotential und dem Auffrisch-Mittenpotential größer ist als  
30 die Potentialdifferenz zwischen dem hohen Ladungspotential und dem Mittenpotential.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass das hohe Auffrischpotential größer ist als das hohe Ladungspotential.
- 5 3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Mittenpotential größer ist als das Auffrisch-Mittenpotential.
- 10 4. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass das Mittenpotential in der Mitte zwischen dem niedrigen und dem hohen Auffrischpotential liegt.
- 15 5. Verfahren nach Anspruch 1 bis 4, dadurch gekennzeichnet, dass die Wortleitung (WL) beim Auffrischen für eine geringere Zeitdauer aktiviert bleibt als beim Auslesen einer der Speicherzelle (2).
- 20 6. Verfahren nach Anspruch 1 bis 5, dadurch gekennzeichnet, dass das Auffrischen der Speicherzelle (2) in einem Selbstauffrischvorgang durchgeführt wird.
- 25 7. Verfahren nach einem der Ansprüche 1 bis 6, wobei eine Zeitdauer der Auffrischperiode, nach der die Speicherzelle (2) periodisch aufgefrischt werden, nach dem ersten Auffrischen nach einem Schreib- und/oder Lesezugriff auf die Speicherzelle (2) erhöht wird.
- 30 8. Speicherschaltung nach Anspruch 7, dadurch gekennzeichnet, dass der Auffrischschaltung (13) ein erstes Auffrischen der Speicherzelle (2) nach einer ersten Zeitdauer nach einem Schreib-/ Lesezugriff auf die Speicherzelle (2) durchführt und ein weiteres Auffrischen nach einer

zweiten Zeitdauer durchführt, wobei die erste Zeitdauer kleiner ist als die zweite Zeitdauer.

- 5 9. Speicherschaltung nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass die Auffrischschaltung (13) beim Auffrischen der Speicherzelle (2) die Wortleitung (WL) nur solange aktiviert lässt, bis diejenige Bitleitung (BL) des Bitleitungspaares (BLP), die das höhere Potential aufweist, ein um einen definierten Potentialbetrag höheres Ladungspotential aufweist, wie nach einem Schreib-/Lesezugriff.
- 10 10. Speicherschaltung nach Anspruch 7 bis 9, dadurch gekennzeichnet, dass die Auffrischschaltung (13) nach dem Auffrischen die Bitleitungen (BL) des Bitleitungspaares (BLP) auf ein Auffrisch-Mittenpotential auflädt, wobei das Auffrisch-Mittenpotential in etwa der Mitte zwischen hohen und niedrigen Auffrischpotential liegt.
- 15 11. Speicherschaltung mit einem Speicherzellenfeld (1) mit einer an einer Wortleitung (WL) und einem Bitleitungspaar (BLP) angeordneten Speicherzelle (2), und einer Auffrischschaltung (13) zum Auffrischen der Speicherzelle (2),
- 20 wobei die Auffrischschaltung (13) beim Auffrischen der Speicherzelle (2) die Wortleitung (WL) aktiviert, um die Ladungsinformation der Speicherzelle (2) an eine der Bitleitungen (BL) des Bitleitungspaares (BLP) anzulegen, wobei das Bitleitungspaar (BLP) mit einem Ausleseverstärker verbunden ist, um die Ladungsdifferenz zwischen
- 25 den Bitleitungen (BL) des Bitleitungspaares (BLP) in ein hohes Ladungspotential und ein niedriges Ladungspotential zu trennen,
- 30

dadurch gekennzeichnet, dass  
die Auffrischschaltung (13) so gestaltet ist, um beim  
Auffrischen ein hohes Auffrischpotential und ein niedri-  
ges Auffrischpotential an den Ausleseverstärker (4) an-  
zulegen, so dass beim Auffrischen das Potential einer  
der Bitleitungen (BL) des Bitleitungspaares (BLP) in  
Richtung des hohen Auffrischpotential und das Potential  
der anderen Bitleitung (BL) des Bitleitungspaares (BLP)  
in Richtung des niedrigen Auffrischpotentials gezogen  
wird,

wobei eine Ladungsausgleichsvorrichtung (14) vorgesehen  
ist, um nach einem Auslesen und/oder Beschreiben der  
Speicherzelle (2) die Bitleitungen (BL) des Bitlei-  
tungspaares (BLP) auf ein gemeinsames Mittenpotential  
aufzuladen, wobei die Auffrischschaltung (13) so mit der  
Ladungsausgleichsvorrichtung (14) verbunden ist, um nach  
einem Auffrischen der Speicherzelle die Bitleitungen  
(BL) des Bitleitungspaares (BLP) auf ein Auffrisch-  
Mittenpotential aufzuladen, wobei das Auffrisch-  
Mittenpotential geringer ist als das gemeinsame Mitten-  
potential.

## Zusammenfassung

## Bezeichnung der Erfindung

- 5 Die Erfindung betrifft ein Verfahren zum Auffrischen einer dynamischen Speicherzelle in einer Speicherschaltung, wobei die Speicherzelle an einer Wortleitung und einer Bitleitung eines Bitleitungspaares angeordnet ist, wobei beim Auslesen der Speicherzelle die Wortleitung, aktiviert wird und eine
- 10 dadurch bewirkte Ladungsdifferenz auf den Bitleitungen des Bitleitungspaares, in ein hohes Ladungspotential und ein niedriges Ladungspotential trennt, wobei nach dem Auslesen die Potentiale der Bitleitungen des Bitleitungspaares auf ein gemeinsames Mittenpotential geladen werden, wobei beim Auf-
- 15 frischen der Speicherzelle die Wortleitung aktiviert wird, und die Ladungspotentiale der Bitleitungen des Bitleitungspaares abhängig von der Ladungsinformation der Speicherzelle in Richtung eines hohen Auffrischpotentials und eines niedrigen Auffrischpotentials getrennt werden, und wobei nach dem
- 20 Auffrischen der Speicherzelle die Wortleitung deaktiviert wird und die Potentiale der Bitleitungen des Bitleitungspaares auf ein Auffrischmittenpotential geladen werden, dadurch gekennzeichnet, dass die Potentialdifferenz zwischen dem hohen Auffrischpotential und dem Auffrisch-Mittenpotential größer
- 25 ist als die Potentialdifferenz zwischen dem hohen Ladungspotential und dem Mittenpotential.

Figur 1

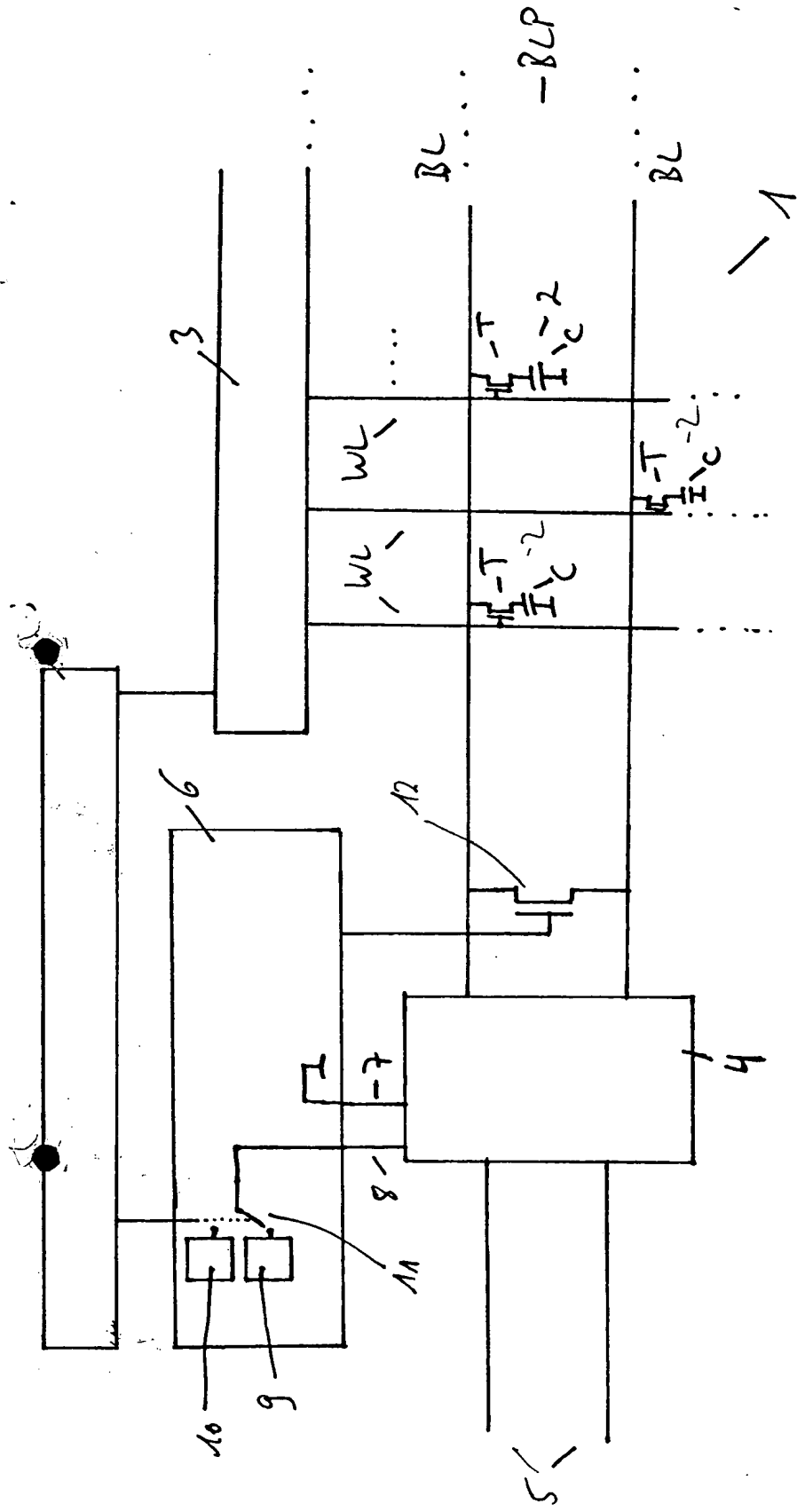


Fig. 1

Figur für die Zusammenfassung

## Bezugszeichenliste

1	Speicherzellenfeld
2	Speicherzelle
3	Wortleitungsdecoder
4	Ausleseverstärker
5	Datenleitungen
6	Steuerschaltung
7	erste Potentialleitung
8	zweite Potentialleitung
9	erste Potentialquelle
10	zweite Potentialquelle
11	Umschalter
12	Ausgleichstransistor
13	Auffrischschaltung
14	weitere Ausgleichstransistoren
15	dritte Potentialquelle
16	vierte Potentialquelle
17	weitere Umschalter
WL	Wortleitung
BL	Bitleitung
BLP	Bitleitungspaar

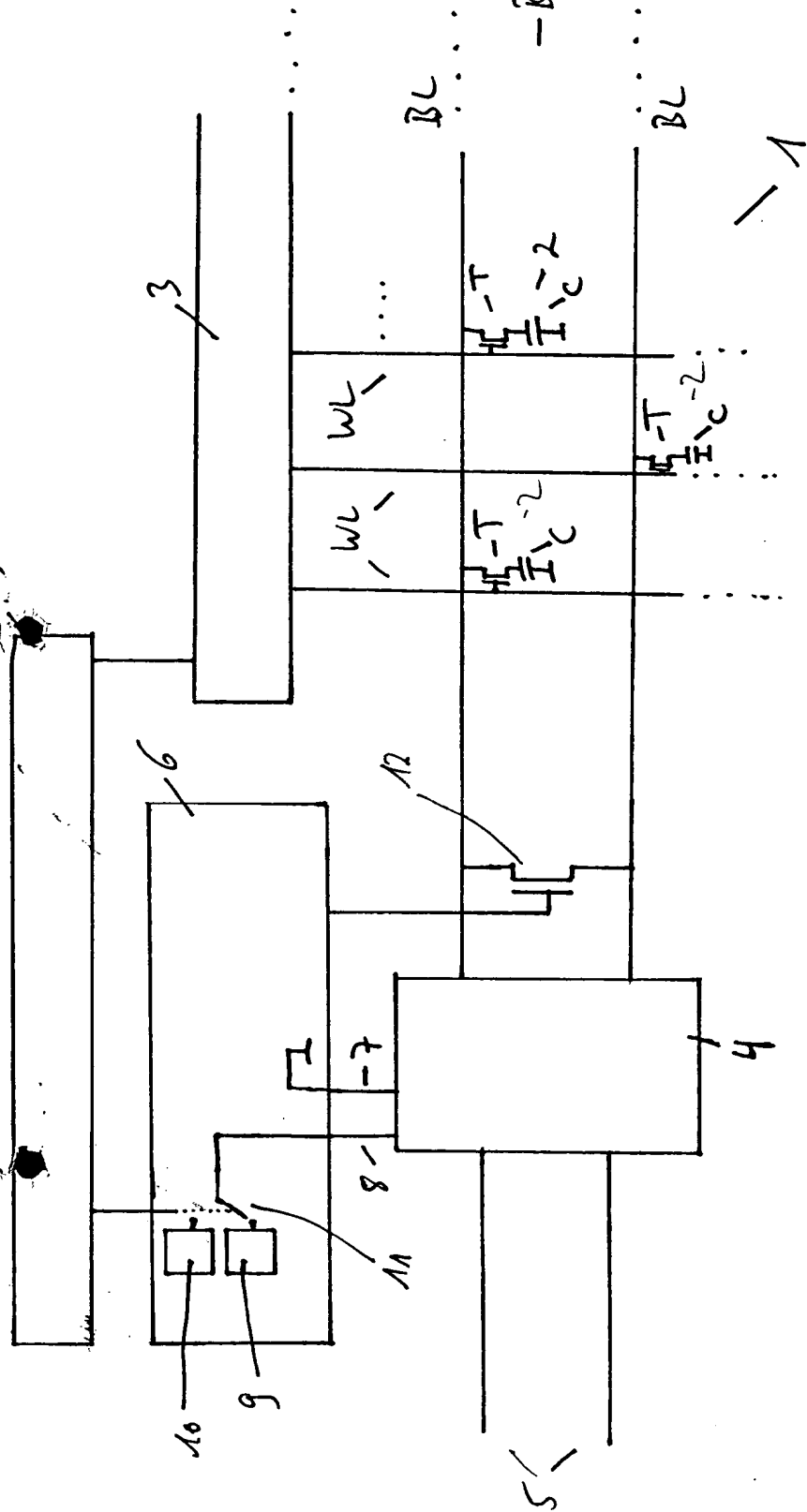


Fig. 1

213

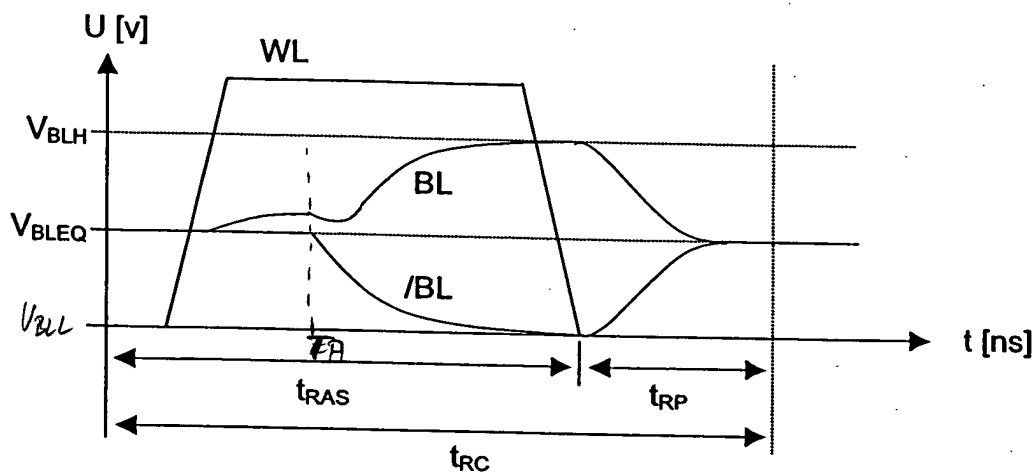


Fig. 2

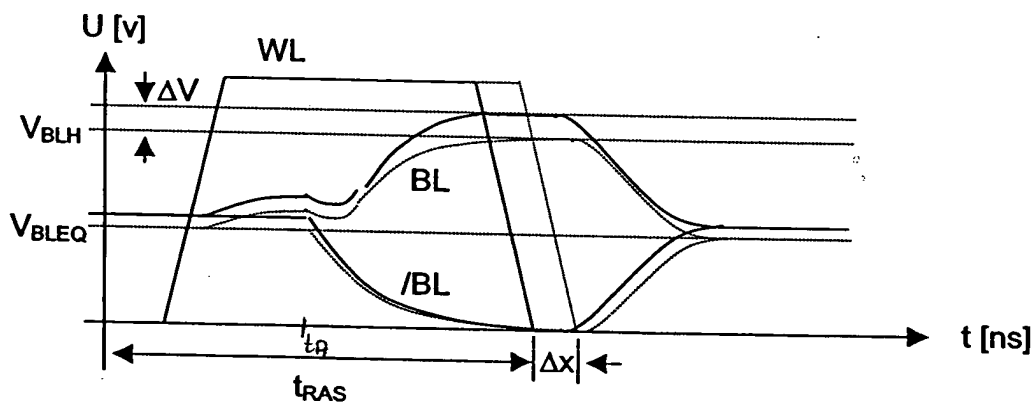


Fig. 3

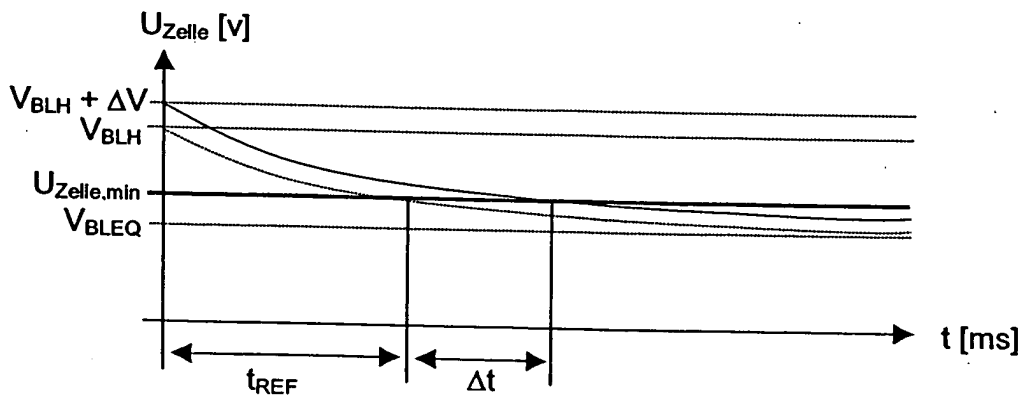


Fig. 4

3/3

Fig. 5

1

-BUP

BL

BL

3

WL

WL

$I_{C-2}$

$I_{C-2}$

$I_{C-2}$

$I_{C-2}$

6

15

16

17

18

19

20

21

22

23

24

25

26

27

28

29

30

31

32

33

34

35

36

37

38

39

40

41

42

43

44

45

46

47

48

49

50

51

52

53

54

55

56

57

58

59

60

61

62

63

64

65

66

67

68

69

70

71

72

73

74

75

76

77

78

79

80

81

82

83

84

85

86

87

88

89

90

91

92

93

94

95

96

97

98

99

100

101

102

103

104

105

106

107

108

109

110

111

112

113

114

115

116

117

118

119

120

121

122

123

124

125

126

127

128

129

130

131

132

133

134

135

136

137

138

139

140

141

142

143

144

145

146

147

148

149

150

151

152

153

154

155

156

157

158

159

160

161

162

163

164

165

166

167

168

169

170

171

172

173

174

175

176

177

178

179

180

181

182

183

184

185

186

187

188

189

190

191

192

193

194

195

196

197

198

199

200

201

202

203

204

205

206

207

208

209

210

211

212

213

214

215

216

217

218

219

220

221

222

223

224

225

226

227

228

229

230

231

232

233

234

235

236

237

238

239

240

241

242

243

244

245

246

247

248

249

250

251

252

253

254

255

256

257

258

259

260

261

262

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**